4/11/08

נושאים מתקדמים בתכנון חומרה

גיא אבן

מה זה תכן לוגי ?

מודל : אבני בניין

מעגלים צירופיים

מעגלים סינכרוניים

מדדי איכות : מחיר והשהיה

דוגמה : חיבור

חסמים תחתונים

ההפשטה הספרתית מקלה את מלאכת התכנון, אבל
מחייבת שימוש בכללי תכנון.
כללי התכנון מבטיחים את תקפות המידול של ההפשטה
הספרתית.

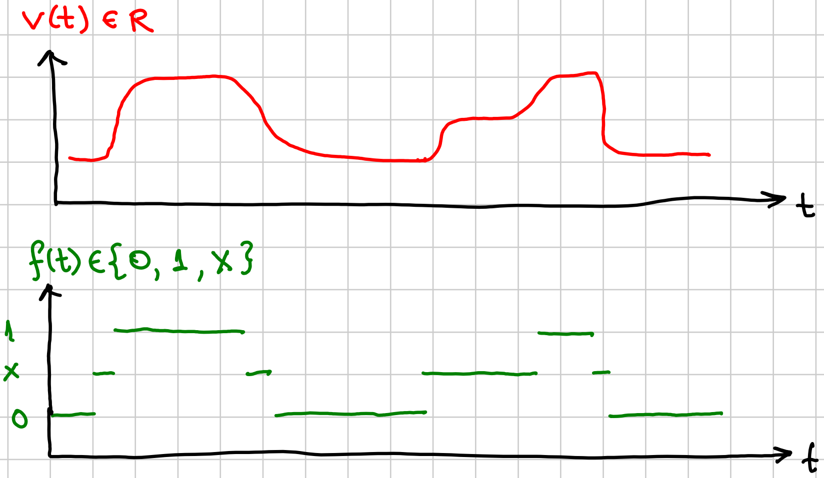
הערות: 1. יש לתקן את המודל ולהבחין בסף עבור קלט
וסף עבור פלט (כדי להתמודד עם רעש במעגל)

2. "רוב" המעגלים חורגים מכללי התכנון.

3. מסכימים לצמצם בצורה דרסטית את קבוצת המעגלים
"החוקיים" כדי להבטיח את תקפות ההפשטה הספרתית.

תכן לוגי (digital design)

שימוש בהפשטה ספרתית כדי לתאר את ערכי האותות
במעגל אלקטרוני:



$$f(t) = \begin{cases} 1 & \text{if } V(t) \geq V_1 \\ x & \text{if } V_0 < V(t) < V_1 \\ 0 & \text{if } V(t) \leq V_0 \end{cases}$$

דוגמה:

Full-Adder

$FA : \{0,1\}^3 \to \{0,1\}^2$

שער עם 3 כניסות x, y, z

2 יציאות S, C

ומקיים

$$x+y+z = 2\cdot C + S \iff \begin{cases} S = XOR(x,y,z) \\ C = \begin{cases} 1 & \text{if } x+y+z \geq 2 \\ 0 & \text{otherwise} \end{cases} \end{cases}$$

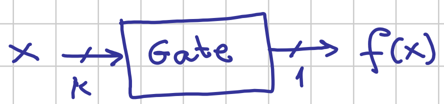
מימוש: זהו שער עם מספר קבוע של קלטים ופלטים, ולכן בכל מימוש סביר נקבל מחיר קבוע והשהיה קבועה.

לא דנים בקבועים (נלך באסימפטוטיקה) ולכן לא נכנס לסוגיה החשובה של מימוש.

אבני הבניין

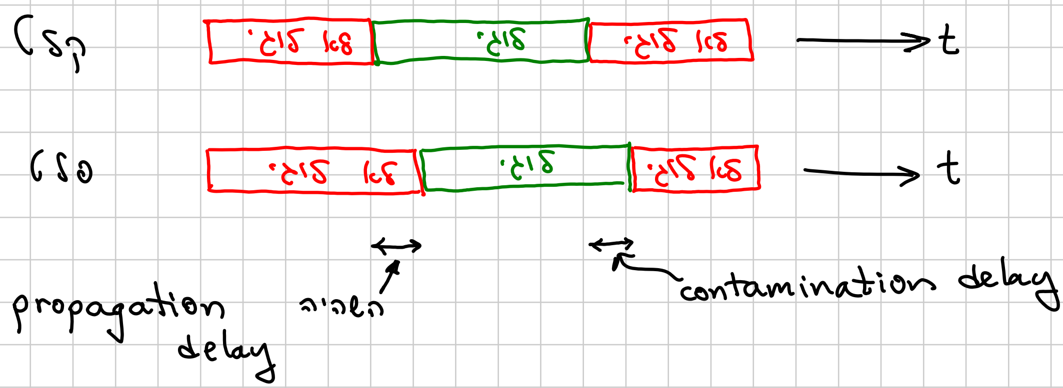
שערים לוגיים: רכיב שממש פונקציה בוליאנית

$f : \{0,1\}^k \to \{0,1\}$



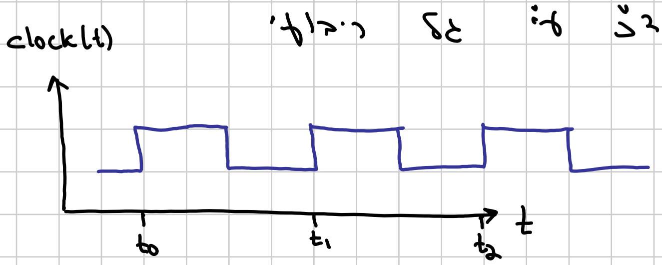
דוגמה: שער AND, OR, XOR, NOT, NAND, NOR, MUX, ...

השהיה: חסם עליון לפרק הזמן שחולף מרגע שהקלט x יציב ועד שהפלט יציב (ושווה ל $f(x)$).



4. אות השעון: נסמן את הזמנים $t_0<t_1<\dots<t_i<\dots$

ממומש בד"כ ע"י גל ריבועי



"ייצור השעון דורש רכיב מיוחד (מתנד למשל)

5. תזמון יותר מפורט: ל FF יש 4 פרמטרים:

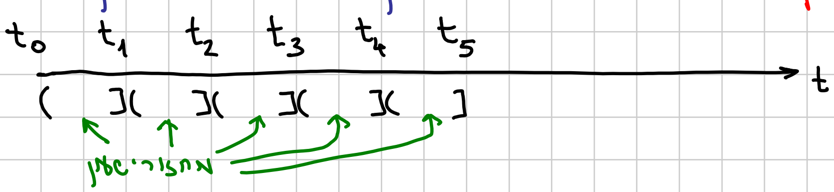
setup time, hold time, contamination delay, propagation delay

נחוצים לניתוח זמנים (timing analysis) ולחישוב קצב השעון המירבי.

אבני בניין (המשך)

פליפלופים (Flip Flop): רכיב זכרון. ציר הזמן מחולק לקטעים.

לדוגמה:



לכל $t\in(t_i,t_{i+1}]$

$$Q(t)=D(t_i)$$

הערות: 1. מח"מ יציבות לוגית של D בזמן t_i (וגם קצת לפני)

2. קרוי edge triggered D-FF (יש עוד סוגים)

3. אתחול: מה פולט FF במחזור השעון הראשון?

מניחים שלכל FF מוגדר ערך התחלתי שמקבל ע"י אות נוסף (RESET) שלא נציין כו.

מעגלים צירופיים combinational circuits

מעגלים שממשים פונקציות בוליאניות (שערים "מורכבים").
קרויים גם מעגלים בוליאניים.

נתחיל בהגדרה תחבירית ונמשיך בתיאור הפונקציונליות.

חוקי התחביר: אבני הבניין = שערים וחוטים.

(1) חוטים מחברים יציאה של רכיב לכניסה של רכיב.

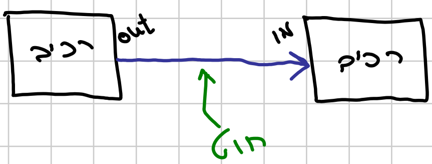
(2) כל כניסה של רכיב מוזנת ע"י חוט אחד בדיוק.

(3) אין מסלולים מעגליים מכוונים.

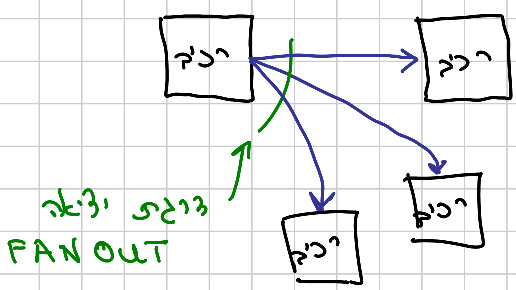
אבני בניין (המשך)

חוטים: מוליכים שמחברים בין שערים ו-FF.

נניח שחוט חייב לחבר יציאה של רכיב לכניסה של רכיב.



מותר לחבר מספר חוטים לאותה היציאה:



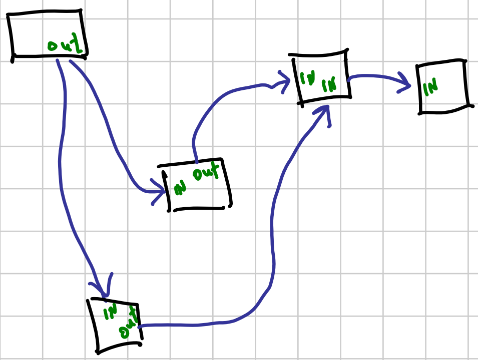
netlist: תיאור של מעגל ע"י רשימת שערים, FF, וחוטים שמחברים בין יציאות לכניסות.

מעגלים צירופיים: ממדלים מעגל ע"י גרף מכוון

צמתים: שערים

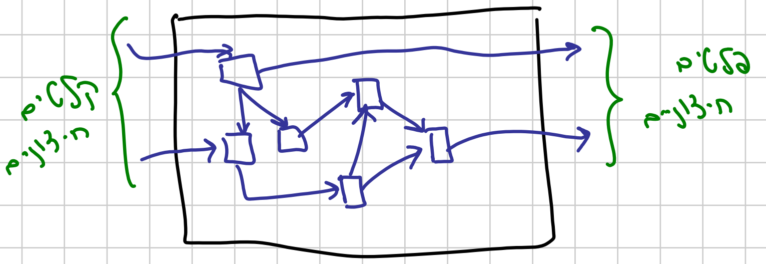
קשתות: חוטים

כיוון של קשת: מיציאה של רכיב לכניסה של רכיב



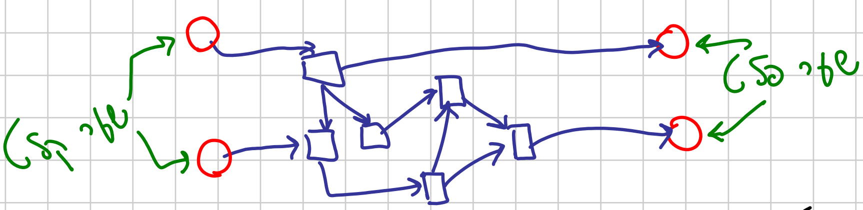
דורשים שהגרף המכוון שממדל
מעגל יהיה חסר מעגלים.

איך מוזן קלט חיצוני, ואיך מתקבל פלט חיצוני?



כדי לעבוד עם מודל "נקי", נגדיר שערי קלט ושערי פלט

כלומר, הוספנו 2



אבני בניין שמקלים

על עמידה בכלל:

כל כניסה מוזנת בדיוק ע"י חוט אחד

פונקציונליות של מעגל צירופי

סימולציה לוגית: חישוב הערכים לאורך החוטים בהינתן ערכי הקלט.

איך? 1. מידול ע"י גרף מכוון.

2. מיון טופולוגי של הצמתים.

3. סריקת הצמתים לפי סדר המיון הטופולוגי.

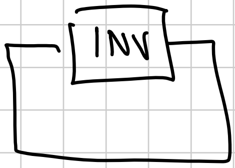
לכל צומת: ידועים כל ערכי הכניסות

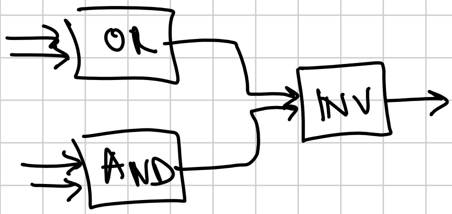
חשב את ערך היציאות.

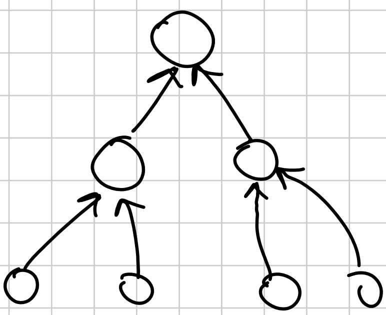
⇐ ערכי כל האותות נקבעים ע"י ערכי הקלטים!

פונקציונליות מוגדרת היטב!

דוגמאות







מחיר של מעגל צירופי

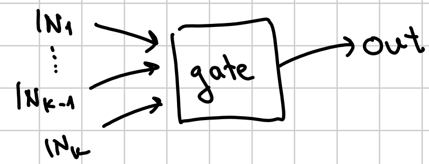
סכום המחירים של אבני הבניין.

פישוט: מס' השערים במעגל.

הערה: במודל יותר מדויק נסתכל על השטח של המעגל כי שטח הוא המשאב המרכזי בשבב VLSI.

השהייה של מעגל צירופי

ניתוח זמנים: חישוב ההשהייה של כל החוטים. כמה זמן חולף מהרגע שהקלטים יוצבו ועד שהערך בכל חוט יוצב? (חסם עליון).

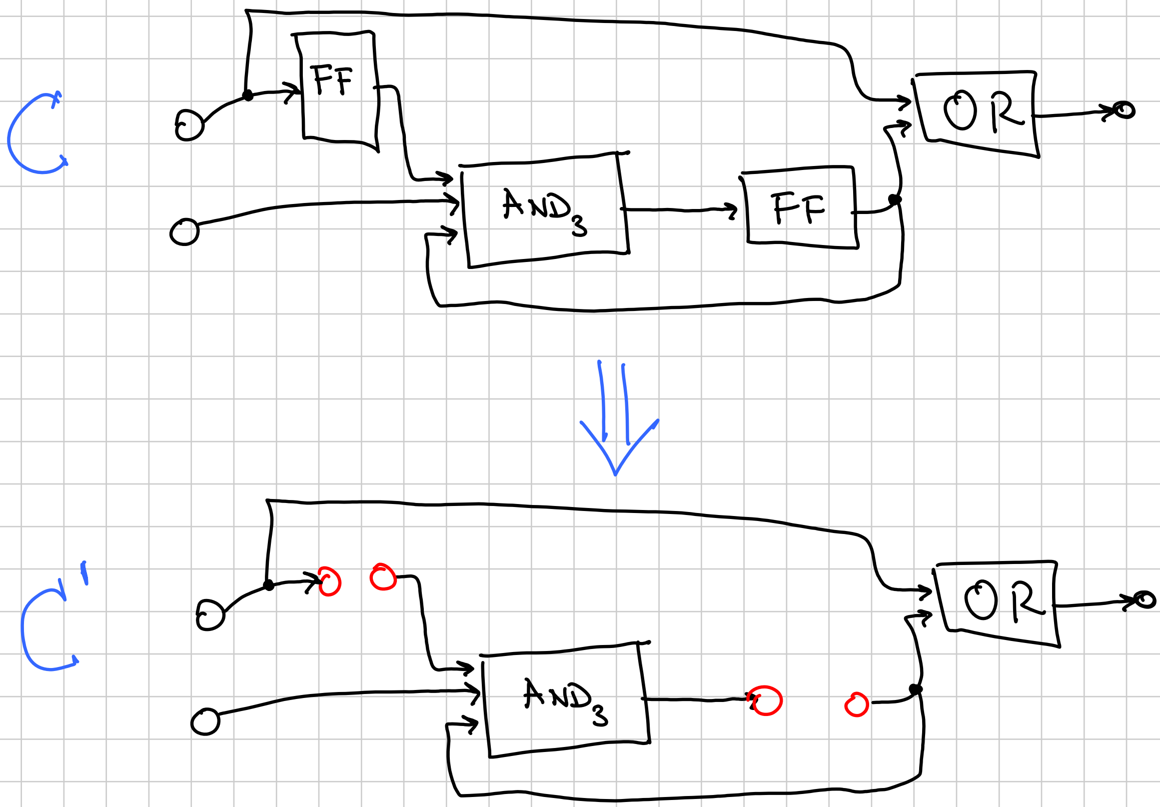


$$\text{delay}(OUT) = \max_{1 \le i \le k} \text{delay}(IN_i) + \text{delay}(\text{gate}) \quad (*)$$

מפעיל את (*) על כל הצמתים לפי סדר מיון טופולוגי.

פישוט: נניח שלכל שער בסיסי delay(gate)=1, ואז מתעניינים במסלול ארוך ביותר ב-DAG (עומק המעגל הצירופי).

רדוקציה שמוחקת דלגלגים



מעגלים סינכרונים Synchronous Circuits

מעגלים שממשים אוטומטים סופיים עם קלט/פלט.

שוב, נפתח בהגדרה תחבירית, ונמשיך בניתוח פונקציונלי.

כללי התחביר:

אבני בנין = שערים, חוטים, דלגלגים

חוקי חיבור:

רדוקציה שמוחקת דלגלגים נותנת מעגל צירופי.

תזכורת: אוטומט סופי עם קלט/פלט

קרוי גם: Finite State Machine Transducer

$$\langle Q, q_0, \Sigma, \Delta, \delta, \gamma \rangle$$

Q - קב' מצבים

q_0 - מצב תחילי

Σ - א"ב קלט

Δ - א"ב פלט

$\delta: Q\times\Sigma\to Q$ - פונקצית המצב הבא

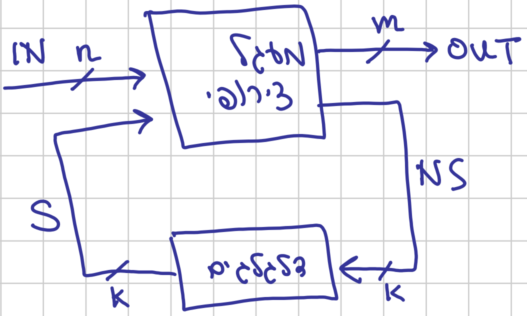
$\gamma: Q\times\Sigma\to\Delta$ - פונקצית הפלט

בהינתן סדרת קלט $\{\sigma_i\}_{i=0}^{n-1}$ האוטומט עובר בסדרת המצבים $\{q_i\}_{i=0}^{n}$ ופולט את הסדרה $\{y_i\}_{i=0}^{n-1}$ המוגדרת ע"י

$$\left.\begin{aligned} q_{i+1} &\triangleq \delta(q_i, \sigma_i) \\ y_i &\triangleq \gamma(q_i, \sigma_i) \end{aligned}\right\}$$

שאלה: הוכיחו שכל מעגל מכון במעגל סינכרוני הוגל רק בדגלג אחד לפחות.

פונקציונליות של מעגל סינכרוני



- לפי הגדרת מעגל סינכרוני, ניתן להפריד בין הדלגלגים והשערים.
- נגדיר $Q = \{0,1\}^k$

כאשר k = מס' הדלגלגים ($q_0 \in \{0,1\}^k$ המילה ההתחלתית בדלגלגים)

$\Sigma = \{0,1\}^n$

$\Delta = \{0,1\}^m$

- $\delta : \{0,1\}^k \times \{0,1\}^n \to \{0,1\}^k$ - הפונקציה הבוליאנית הממומשת ע"י המעגל הצירופי $\delta(S, IN) = NS$
- $\gamma : \{0,1\}^k \times \{0,1\}^n \to \{0,1\}^m$ - $\gamma(S, IN) = OUT$

אוטומט סופי: מימוש ע"י דיאגרמת מצבים

גרף מכוון: * צמתים = Q

* קשת מכוונת $q \to q'$ עם תוית σ אם

$$\delta(q,\sigma) = q'$$

* מוסיפים תוית פלט לקשת $\gamma(q,\sigma)$.

מותרות קשתות מקבילות (אם אותו המעבר נגרם ע"י יותר מקלט יחיד).

סימונים

במעגל צירופי מרובה כניסות ויציאות נשמש בסימון וקטורי

$A[0:n-1]$ - וקטור של n סיביות.

$A[i]$ - הסיבית ה-i של A.

במעגל סינכרוני עם כניסה x נסמן

$x[t]$ - הערך של x במחזור השעון ה-t.

(הכוונה לערכו אחרי שהתייצב)

מסקנה: כל מעגל סינכרוני ממש אוטומט סופי עם קלט/פלט.

מחיר של מעגל סינכרוני: סכום המחירים של אבני הבניין.

פישוט: מס' דלגלגים + מס' שערים.

אין השהיה, אבל יש מקום להגדיר מחזור שעון קצר ביותר.
כלומר, באיזה מחזור שעון מובטח שהפונקציונליות תהיה של האוטומט הסופי. אותה פונקציונליות לכל שעון עם מחזור $\geq$ מחזור שעון קצר ביותר.

הגדרה של מחבר צירופי (Adder)

Adder(n) הוא מעגל צירופי העונה במפרט הבא:

קלט: $A[0:n-1],\ B[0:n-1] \in \{0,1\}^n$

פלט: $S[0:n-1] \in \{0,1\}^n,\ C[n] \in \{0,1\}$

המקיים: $\langle A \rangle + \langle B \rangle = \langle S \rangle + 2^n \cdot C[n]$

ייצוג של מספרים

מספר בינארי: $\langle X[0:n-1] \rangle \triangleq \sum_{i=0}^{n-1} X[i] \cdot 2^i$

מספר בשיטת משלים 2-ל

$$[X[0:n-1]] \triangleq -X[n-1]2^{n-1} + \sum_{i=0}^{n-2} X[i] \cdot 2^i$$

יש עוד הרבה "ייצוגים"...

למשל "ייצוגים" יתירים ובהן carry-save

$$val(S,C) = \langle S \rangle + \langle C \rangle$$

מאפשר חיבור בהשהיה קבועה!

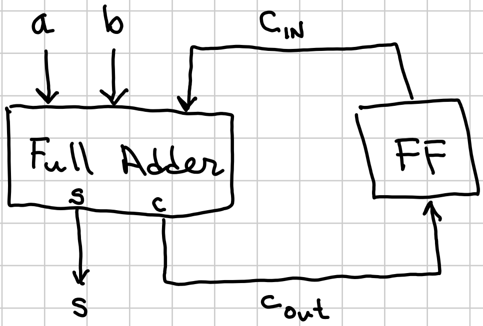
קלט: $a, b \in \{0,1\}$

פלט: $s \in \{0,1\}$

המקיים בכל מחזור שעון t:

$$\langle a[0:t] \rangle + \langle b[0:t] \rangle = \langle s[0:t] \rangle \mod 2^{t+1}$$

מימוש של מחבר סדרתי



הוכחת נכונות מבוססת על:

$$\forall t: \quad \langle a[0:t] \rangle + \langle b[0:t] \rangle = \langle s[0:t] \rangle + 2^{t+1} \cdot c_{out}[t]$$

(הוכחה באינדוקציה על t)

הגדרה של מחבר סדרתי (bit-serial adder)

מעגל סינכרוני. העומד במפרט הבא

קלט: $a, b \in \{0,1\}$

פלט: $s \in \{0,1\}$

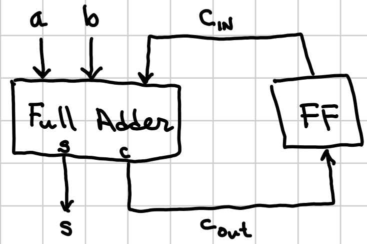
המקיים בכל מחזור שעון t:

$$\langle a[0:t] \rangle + \langle b[0:t] \rangle = \langle s[0:t] \rangle \mod 2^{t+1}$$

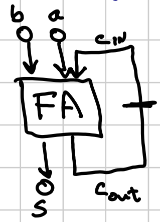
טרנספורמציית זמן-מקום

מעתיקה מעגל סדרתי C למעגל צירופי $\tilde{C}$

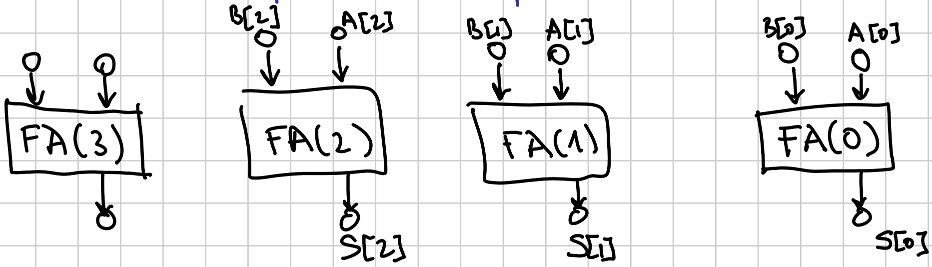
ו"משמרת" פונקציונליות:



- בנה גרף תקשורת עבור C

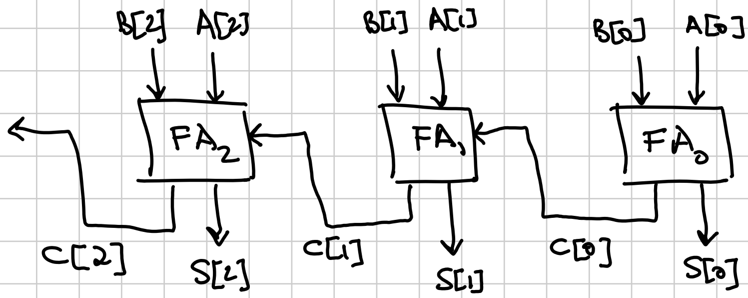


- לכל t בנה עותק של החלק הצירופי של C



מימוש של מחבר צירופי

Ripple Carry Adder



האם יש קשר בין 2 המעגלים?

חסמים תחתונים

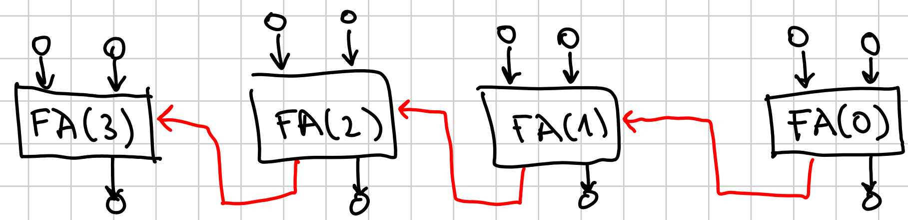
מהי ההשהיה הקטנה ביותר של מחבר?

$$T(n) = \min\{\, delay(C) \mid C \text{ is a comb. adder of } n\text{-bit numbers} \,\}$$

מהו המודל?

- השהיה אחידה לכל השערים הבסיסיים (דרגת כניסה קבועה ≤ 3).
- נתעלם מההשהיה הכרוכה בדרגת יציאה לא קבועה.
- מימוש ע"י מעגל צירופי.

- חבר כניסה של $U[i+k]$ עם יציאה של $V[i]$ אם יש קשת במעגל מ-V ל-U.



טענה: העיכוב של קשת $V[i] \longrightarrow U[i+k]$ שווה לעיכוב (במעגל) הסינכרוני של $V[i]$.

חסמים תחתונים - המשך

מהו המחיר הקטן ביותר של מחבר צירופי?

$$\text{cost}(n) = \min\left\{ \text{cost}(C) \;\middle|\; \begin{array}{l} C \text{ is a comb. adder} \\ \text{of } n\text{-bit numbers} \end{array} \right\}$$

המודל:

שערים בסיסים עם דרגת כניסה קבועה.

מחיר אחיד לכל השערים הבסיסים.

משפט: יהי C מעגל צירופי. שבו פלט y מחובר ל- n קלטים אז

$$\text{delay}(y) \geq \log_{\Delta} n$$

כאשר Δ = דרגת הכניסה הגבוהה ביותר ב- C.

טענה: יהי C מעגל צירופי שממש פונקציה בוליאנית f. אם $f(\vec{x})$ תלוי בכל הקלטים אז מכל קלט $x[i]$ יש מסלול ב- C לפלט.

מסקנה: השהיה של מחבר צירופי $\geq \log n$.

משפט: תהי $f:\{0,1\}^n \to \{0,1\}$ פונקציה בוליאנית התלויה בכל הקלטים, אזי לכל מעגל C המממש את f מתקיים:

$$cost(C) \geq \frac{n}{\Delta}$$

טענה: אם C מעגל צירופי עם k פלטים המקיים:

① לכל 2 פלטים יש קלט המפריד ביניהם

② אף פלט אינו שווה זהותית לאף קלט,

אז $cost(C) \geq k$ (תחת ההנחה שלכל שער יש יציאה בודדת)

מסקנה: מחיר של מחבר צירופי $\geq n$.